

** Result [Patent] ** Format(P801) 08. Jul. 2003 1/ 1

Application no/date: 1985-207150[1985/09/19]
Date of request for examination: [1990/04/09]
Public disclosure no/date: 1987- 66293[1987/03/25]
Examined publication no/date (old law): 1992- 68633[1992/11/02]
Registration no/date: 2093718[1996/10/02]
Examined publication date (present law): []

PCT application no
PCT publication no/date []

Applicant: CASIO COMPUT CO LTD

Inventor: HANZAWA KOTARO, MORIKAWA SHIGENORI, NAKAMURA TOSHIHISA

IPC: G10H 1/00 G10H 1/10 G10K 15/04 , 302
G10L 3/02

FI: G10H 7/00 , 511J G10H 1/00 Z G10H 1/06
G10L 3/02 C G10H 1/00 C G10H 1/10 A G10K 15/04 , 302E
G10H 7/00 , 511Z

F-term: 5D083BB05, BC17, CC06, BC32, 5D027AA30, FF04, GG02, KK02, LL03, 5D045BB01,
5D378AB02, AD00, AD67, AD70, BB10, BB15, FF11, JB00, FF00

Expanded classification: 425, 302

Fixed keyword: R011, R098, R131

Citation: [07, 1993. 1. 28, 00] (00, JP, Unexamined Publication of Patent, S56-97395) (00, JP,
Unexamined Publication of Patent, S58-108583) (00, US, P, 4392405) [07, 1993. , 00] (00, US, P,
Unexamined Publication of Patent, S58-83894) (00, Foreign Magazine/journal , JOURNAL OF THE AUD
TY=1979@M9@V27@N9@P673-676) [09, 1994. 4. 15, 00] (00, US, P, 4392405)

Title of invention: DIGITAL EFFECT APPARATUS

Abstract:

PURPOSE: It is synthesized with the digital signal which digital signal
written in is read, and input corrugation sign is converted, and is
provided, by what it is converted to analog signal, and is output,
the performance morphology which is diverse is enabled.

CONSTITUTION: When VCF12a to 12 d, VCA13a to 13 d are used, and tone
color, sound volume are controlled in a variable manner for independency,
and it occurs, every each corrugation reading / writing channel, sound
of effect can be got. In addition, it makes latch 94 latch fundamental
tone sign gate 82 is gone through, and to output without changing
the amplitude level, when it is applied to adder 93, and a multiplier
to take advantage of in the amplification factor which, by way of
example only, is appointed between gate 82 and latch 94 or a level
shifter is established, and amplification factor of the sound which
it is fed back, and is provided is done to the small than a fundamental
tone, reverberation effect is provided, if amplification factor of
the sound which it is fed back, and is provided is done in a fundamental
tone and the degree, round effect is provided.

(Machine Translation)

⑫ 特 許 公 報 (B 2)

平4-68633

⑮ Int. Cl. ⁴

G 10 H 1/00
 1/10
 G 10 K 15/04
 G 10 L 3/02

識別記号

C
 A
 3 0 2 E
 C

庁内整理番号

7350-5H
 7350-5H
 7227-5H
 8946-5H

⑭公告 平成4年(1992)11月2日

発明の数 1 (全10頁)

⑭発明の名称 デジタルエフェクト装置

⑯特 願 昭60-207150

⑰公 開 昭62-66293

⑱出 願 昭60(1985)9月19日

⑲昭62(1987)3月25日

⑳発 明 者 半 沢 耕 太 郎 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内
 ㉑発 明 者 森 川 重 則 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内
 ㉒発 明 者 中 村 利 久 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内
 ㉓出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
 審 査 官 松 尾 淳 一

1

2

⑳特許請求の範囲

1 音響波形を表現するデジタル波形信号を供給する供給手段と、

該供給手段から供給される上記デジタル波形信号を記憶する波形メモリ手段と、

該波形メモリ手段に対し、上記デジタル波形信号を所定レートで変化するアドレス信号に従って書き込むとともに、上記波形メモリ手段から上記所定レートで変化するアドレス信号とは異なるレートで変化するアドレス信号に従って上記デジタル波形信号を読み出す書込読出手段と、

該書込読出手段により上記波形メモリ手段から読み出される上記デジタル波形信号をフィードバックして上記供給手段から供給される上記デジタル波形信号とデジタル合成して上記波形メモリ手段に与えて書き込ませるフィードバック手段と、を具備したことを特徴とするデジタルエフェクト装置。

2 上記書込読出手段は、上記読み出しのためのアドレス信号を時間とともに変化するレートをもつアドレス信号として発生するようにしたことを特徴とする特許請求の範囲第1項に記載のデジタルエフェクト装置。

3 上記書込読出手段は、上記読み出しのためのアドレス信号を上記所定レートで変化する書き込みのためのアドレス信号とは異なるレートで変化する少なくとも2つのアドレス信号として発生

し、上記フィードバック手段は、この少なくとも2つのアドレス信号によって読み出される少なくとも2つのデジタル波形信号のうちのいずれかのデジタル波形信号をフィードバックして上記供給手段から供給される上記デジタル波形信号とデジタル合成するようにしたことを特徴とする特許請求の範囲第1項または第2項に記載のデジタルエフェクト装置。

4 上記書込読出手段は、上記書き込みを行うためのアドレス信号に対し指定されたデイレイ時間に相当するアドレス幅の差をもつて上記少なくとも2つの読み出しを行うためのアドレス信号の発生を開始するようにしたことを特徴とする特許請求の範囲第3項記載のデジタルエフェクト装置。

発明の詳細な説明

〔発明の技術分野〕

この発明は、少なくともその要部をデジタル回路を用いて構成したデジタルエフェクト装置に関する。

〔発明の背景〕

従来より楽器音に対し種々のエフェクト（効果）を付与して、原音とはかなり相違する音響を得るようにした所謂エフェクターが種々開発されているが、これらは、BBD等の素子を用いるものが多く、S/N比が悪いなどの欠点があった。また近年では、デジタルディレイ装置と称されるデジタルメモリをもつて、これに対して波形信号を書込み、またディレイ時間の後読出すものも開発されているが、出力信号は単調なものであり、好ましいものではなかった。更に、残響音付加装置を備えた電子楽器として、例えば特開昭58-18693号公報に開示された技術がある。この先行技術によれば、デジタルメモリに入力波形信号を所定レートでデジタル記録してゆくとともに、所定時間のディレイをもつてこの波形信号を読み出すようにすること、そして読み出された波形信号を入力側へフィードバックして入力波形信号と合成してデジタルメモリに記録することが行われている（同公報第10図参照）。

しかしながら、この先行例によれば、端にディレイが付加された波形信号が得られるのみであつて、変調効果が十分に与えられた楽音が発生されるものではない。

〔発明の目的〕

この発明は、以上の点に鑑みてなされたもので、多様なエフェクトを入力される原音に付加できるデジタルエフェクト装置を提供することを目的とする。

〔発明の要点〕

この発明は、上述した目的を達成するためになされたもので、供給手段から与えられるデジタル波形信号に対してフィードバック手段によりフィードバックして合成するためのデジタル波形信号を、波形メモリ手段から書き込みレートとは違うレートで変化するアドレス信号により読み出して得たものとするこゝで、入力デジタル波形信号とは異なる周波数をもつ、あるいは周波数変調が施されたデジタル波形信号をフィードバックするようにしたことを要点とする。

〔実施例〕

以下、本発明を、外音信号をPCM(Pulse Code Modulation)などの変調を行つてデジタル記録し、それをキーボード楽器の音源信号とし

て用いることができる所謂サンプリング機能を有する電子楽器を用いて構成した一実施例につき説明する。

第1図は、本実施例の回路構成を示し、入力信号(IN)は、入力アンプ1にて適宜増幅された後、フィルター3に供給されて不要な高域成分を適当に除去された後、サンプル・ホールド回路(S/H)5にて適当なサンプリング周波数で、サンプリングされ、A/D変換器6に供給される。A/D変換器6では、入力するアナログ信号を対応するデジタル信号に変換し、発音制御部8に供給する。

この発音制御部8は、例えば4つの波形読出・書込チャンネルを備え、夫々独立的に波形メモリ7に対する波形信号の書込みまたは読出しができる。

そして、発音制御部8は、マイクロコンピュータ等からなるCPU9からの制御に基づき動作するようになっており、その詳細は後述するが、この発音制御部8の4つの波形読出・書込チャンネルに対応して時分割的に最大4音に対応するデジタル信号が、波形メモリ7から読出されて、D/A変換器10に時分割的に印加され、しかる後、サンプル・ホールド回路(S/H)11a~11dに供給される。

このサンプル・ホールド回路11a~11dは、後述するようなタイミング信号 $t_1 \sim t_4$ によつて、各時分割処理チャンネル時間毎に、サンプリング動作を行う。

そして、このサンプル・ホールド回路11a~11dにホールドされた電圧信号は、VCF(電圧制御型フィルタ)12a~12dに、対応して供給される。この夫々のVCF12a~12dには、後述する電圧信号FCV1~FCV4が供給され、この電圧信号FCV1~FCV4に従つて、夫々独立的にフィルタリング処理がなされる。

そして、このVCF12a~12dは、VCA(電圧制御型増幅器)13a~13dへフィルタリングの後のアナログ波形信号を送出する。

このVCA13a~13dは、供給される制御電圧信号ACV1~ACV4により独立的にその増幅率が制御され、VCF12a~12dより供給される波形信号に対する出力レベル、あるいは音量エンベロープが決定される。

5

そして、このVCA13a~13dの出力信号は夫々各チャンネルの出力OUT1~OUT4として、外部に送出され、適宜増幅された後音響信号として放音されることになる。また、このVCA13a~13dの出力は、アナログ加算回路14

5 図中符号4は、演奏鍵や各種制御スイッチを有するキーボードと、各種状態表示を行う液晶表示パネル等とからなるキーボード・表示部であつて、CPU9とこのキーボード・表示部4とはデータの授受を行う。

また、このCPU9は、ソフト処理によつて、上述した各制御信号FCV1~FCV4、ACV1~ACV4、(以下総称して制御信号CVとする。)を、発生するためにデジタル信号をD/A変換群17

15 このD/A変換器群17は、制御信号CVの個数に対応する個数のD/A変換器を有していてもよく、あるいは、ひとつのD/A変換器を時分割的に使用し、サンプル・ホールド回路と組合せて、必要な個数の制御信号CVを得てもよい。

次に、発音制御部8の詳細回路構成を第2図を用いて説明する。

A/D変換器6から供給されるデジタル信号は、加算器93を介してゲート81に与えられ、しかる後、波形メモリ7に供給されるほか、ゲート82を介してD/A変換器10へ送出される。また、ゲート82の出力は、ラッチ94を介して、加算器93へフィードバックループを通過して供給される。

上述のゲート81に対しては、CPU9が発生する制御指令に基づき、この発音制御部8内部の図示しない制御回路から発生するリードライト信号R/ \overline{W} が供給され、開閉制御がなされる。

即ち、波形メモリ7に波形信号を書込む場合はこのゲート81は開成され、波形メモリ7から波形信号を讀出す場合は、このゲート81は閉成される。

また、上記ゲート82には、制御回路からの制御信号に基づき開閉信号発生装置83からのゲート信号Gateが与えられ、上記ゲート81を介して供給されるデジタル信号を出力する場合、もし

6

くは波形メモリ7から讀出されたデジタル信号を出力する場合に限り、このゲート82は開成され、その他の場合は、このゲート82は閉成されて、その出力はゼロレベルに設定される。

5 第2図中符号84は、4段の所定ビット数からなるシフトレジスタにて構成されたアドレスレジスタであり、後述するマスタークロック ϕ_s で、シフト動作が行われる。そして、このアドレスレジスタ84は、4チャンネルのアドレスレジスタとして時分割的に動作することになり、その最終段の内容は、波形メモリ7に対しアドレスデータとして供給され、上述したゲート81を介して入力する波形信号を、リードライト信号R/ \overline{W} がLowレベルのときに限り、当該メモリアドレス

15 に書き込み、また波形メモリ7から、上記リードライト信号R/ \overline{W} がHighレベルのときに、デジタル信号を当該メモリアドレスから讀出すようになる。

また、上記アドレスレジスタ84の内容は、ゲート85に供給されるほか、開閉信号発生装置83、図示しない制御回路に供給される。

上記ゲート85を介したアドレス信号は、加算器86に供給され、必要に応じてアドレス歩進を行うべく加減算が実行された後、アドレスレジスタ84にフィードバックされる。

25 また、この加算器86には、ゲート87を介して、制御回路からイニシャルアドレス(CA)が供給される。

即ち、ゲート85にはロード信号 \overline{LD} が直接供給され、ゲート87には、インバータ88を介して反転されて与えられ、ロード信号 \overline{LD} がLowレベルであれば、制御回路からのイニシャルアドレス(CA)がゲート87が開成することにより加算器86に供給され、一方上記ロード信号 \overline{LD} がHighレベルであれば、ゲート85が開成して、アドレスレジスタ84からの内容が加算器86に供給される。

40 第2図中符号89は、ピッチレジスタであり、上記アドレスレジスタ84と同様4段構成のシフトレジスタから成り、マスタークロック ϕ_s にてシフト動作が行われる。そして、このピッチレジスタ89には、制御回路より波形メモリ7に対する書き込み、讀出しの速度に対応するレートを指定するピッチデータが、ゲート90を介して入力し、

その値は、以降ゲート 9 1 を介して循環保持されると共に、加算器 8 6 に出力される。

即ち、制御回路からピッチデータをゲート 9 0 を介してピッチレジスタ 8 9 に書込むときは、ロード信号 $\overline{\text{LDP}}$ を Low レベルにし、インバータ 9 2 にて反転して、ゲート 9 0 に与え、ゲート 9 0 を開成せしめる。

また、通常状態では、ゲート 9 1 を開成すべくゲート 9 1 に対しロード信号 $\overline{\text{LDP}}$ を High レベルに設定して供給する。

そして、上記ピッチデータならびにアドレスレジスタ 8 4 に記憶されるアドレスデータは、小数点以下のデータを有し、小数点以上のデータで波形メモリ 7 のアドレス指定を行う。従つて、ピッチデータが、丁度「1」の大きさであれば、アドレスレジスタ 8 4 の内容は当該チャンネルのデータが加算器 8 6 に入力される都度 + 1 処理が施されることになり、「1」以上ならば、更にアドレス歩進速度は早くなり、「1」以下ならば、アドレス歩進速度は、おそくなる。通常の演奏の際は、音階周波数に対応するピッチデータがこのピッチレジスタ 8 9 に入力されることになる。

また、ピッチレジスタ 8 9 に対し、時間と共にピッチデータの内容を変化させれば、アドレスデータの歩進速度が時間と共に変化し、周波数変調例えばビブラート効果が施された楽音信号を得ることが可能となる。

第 2 図中符号 9 5 は、マスタークロック ϕ_1 によりカウント動作する 4 進カウンタであり、アドレスレジスタ 8 4、ピッチレジスタ 8 9 のチャンネル時間毎、即ちシフトレジスタのシフト動作時間毎にアップカウントする。従つて、その内容はチャンネルを指定することになる。この 4 進カウンタ 9 5 は比較器 9 6 へ供給され、ラッチ 9 7 に記憶されるチャンネルデータ (CD) と一致比較がなされる。なお、上記ラッチ 9 7 には、チャンネルデータが、ロード信号 $\overline{\text{SLD}}$ が Low レベルになるときに、図示しない制御回路から供給されてラッチされる。

そして、比較器 9 6 からは、ラッチ 9 7 にラッチされるチャンネルデータに対応する当該チャンネル時間毎に、High レベル信号が出力し、その信号によつて上記ラッチ 9 4 のラッチタイミングを規定するようになる。

従つて、波形メモリ 7 から各チャンネルの処理によつて読出されるデジタル信号のうち、指定チャンネルのデジタルデータのみを、フィードバックして入力側の加算器 9 3 へ送出し、原音信号とフィードバックして供給される遅延信号とをデジタル合成した後、再び波形メモリ 7 へ書込むと共に、ゲート 8 2 を介して、D/A 変換器 1 0 へ送出するようになる。

第 3 図は、波形メモリ 7 のエリア分割の状態を示しており、例えば N 個の波形情報が可変長で記録できるようになっている。

次に、本実施例の動作につき説明する。第 4 図は、発音制御部 8 の複数チャンネルの時分割処理状態と、サンプル・ホールド回路 1 1 a ~ 1 1 d に供給するタイミング信号 $t_1 \sim t_4$ との関係を示しており、上述したように、本実施例では 4 つの波形読出・書込チャンネルを時分割構成で実現しており、各波形読出・書込チャンネル毎に、読出し (リード) 処理を行うか、書込 (ライト) 処理を行うかを選択的に指定できるようになっていて、第 4 図に示す状態では、チャンネル 1 (ch_1) の処理によつて波形メモリ 7 に、フィルター 3、サンプル・ホールド回路 5、A/D 変換器 6 を介して得られる波形信号を書込むようになっており、その他のチャンネル 2 ~ 4 ($ch_2 \sim ch_4$) は、波形メモリ 7 から、所定エリアのデジタル波形信号を読出すことが可能となつている。

また、上述したタイミング信号 $t_1 \sim t_4$ は、夫々のチャンネル ($ch_1 \sim ch_4$) に対応する時間に、high レベルをとるようになっていて、各チャンネル時間で D/A 変換器 1 0 から出力するアナログ波形信号を、サンプル・ホールド回路 1 1 a ~ 1 1 d にて、サンプリングし、以降ホールドするようになる。

また、発音制御部 8 の各波形読出・書込チャンネルは、独立的にリード・ライトするエリアを指定できるようになっていて、例えば、チャンネル 2, 3, 4 で、第 3 図のトーン 1, 2, 3 を読出し、それを VCF 1 2 b ~ 1 2 d, VCA 1 3 b ~ 1 3 d にて処理制御し、音響出力とするようにしてもよい。

次に、本実施例を、デジタルエフェクト装置として使用した場合の動作につき第 5 図及び第 6 図を参照して説明する。

まず、この動作を行うための波形メモリ7の使用領域は、第6図に示すとおり、アドレスnからmまでとすると、発音制御部8内の制御回路は、先ずビットレジスタ89に、各チャンネルとも「1」の値をロード信号LDPをLowレベルにして5 入力し、更に第2図に示すアドレスレジスタ84に対し、イニシャルアドレスとしてチャンネル1(ch₁)にあつてはn、チャンネル2(ch₂)にあつては例えば、n-1、チャンネル3(ch₃)にあつては例えばn-3、チャンネル4(ch₄)にあつては例えばn-6を入力する。

即ち、第5図に示すように、チャンネル1~4の1サイクル間、ロード信号LDをLowレベルにセットし、イニシャルアドレス(CA)として、チャンネル1についてはn-1、チャンネル2についてはn-2、チャンネル3についてはn-4、チャンネル4についてはn-7を入力し、加算器86で+1処理をして、上述した夫々の値をアドレスデータとして設定する。

そして、チャンネル1を、A/D変換器6からのデジタル信号を波形メモリ7に順次書込む処理を行うように、上記リードライト信号R/WをLowレベルに設定し、その他のチャンネル2~4は、波形メモリ7からチャンネル1にて波形メモリ7に直前に書込んだデジタル信号を讀出す処理を行うように、上記リードライト信号R/WをHighレベルに設定する。

また、開閉信号発生装置83からは、チャンネル1のタイミングでは、常に上記ゲート82を開成するゲート信号Gateを発生し、その他のチャンネル2~4では、アドレスレジスタ84が、第6図に示すアドレスn以降を指定するようになったときにはじめて、ゲート82を開成するようにする。

その結果、波形メモリ7には、チャンネル1の動作によつて、第6図に示すように波高値f(n), f(n+1), f(n+2), ……が書込まれてゆくと共に、そのデータは、ゲート82を介して、D/A変換器10に供給され、サンプル・ホールド回路11a, VCF12a, VCA13aを介して音響信号に変換放音出力されることになる。

また、チャンネル2においては、第5図に示すとおりチャンネル1の動作によつて波形メモリ7

に書込まれたデジタル信号を4チャンネル時間デイレイかけて、即ち1T(T=4×チャンネル時間)おくれで、波形メモリ7から讀出し、同様にチャンネル3においては、3Tデイレイかけて讀出し、チャンネル4においては6Tデイレイかけて讀出すようになる。

即ち、各チャンネル2~4はイニシャルアドレス(CA)として設定した差の値だけ、時間的にずれて第6図に示す波高値に対応するデジタル信号をD/A変換器10に送出する。

その結果、チャンネル2~4の波形信号は、VCF12b~12d, VCA13b~13dを介して出力され、原音であるチャンネル1の波形信号とは別の音色・音量制御をして音響出力とすることもできる。

以下、チャンネル1が、A/D変換器6を介して供給される波形信号を波形メモリ7に書込み、それをチャンネル2では時間を1Tずらせて、チャンネル3では時間を3Tずらせて、チャンネル4では時間を6Tずらせて夫々波形メモリ7から讀出し、4個の音を同時発生してゆき、第6図の波形メモリ7のアドレスmに、アドレスデータが到達すれば、イニシャルアドレスをn-1として再入力して、チャンネル1では波形メモリ7のアドレスnから再度新たな波形信号を書込み、且つそれをチャンネル2~4は讀出すようにすれば継続して、長時間の演奏に供し得るようになる。

そして、制御回路から、ラッチ97に対し、チャンネル2~4のうちいずれかのチャンネルを指定するチャンネルデータ(CD)をラッチ97にプリセットする。

その結果、ラッチ94には、指定されるチャンネルのデジタル信号が、当該チャンネル時間毎に波形メモリ7から讀出されて印加され、加算器93に与えられることになる。

従つて、A/D変換器6を介して供給される原音をあらわすデジタル信号と、波形メモリ7から所定時間のデイレイを付加されて讀出されるデジタル信号とが、加算器93にて加算され、チャンネル1(ch₁)のデジタル出力となると共に、その内容が、波形メモリ7に供給記憶され、他のチャンネル(ch₂~4)の讀出しに使用される。

なお、上述したように、チャンネル2(ch₂)のデイレイタイムを1T、チャンネル3(ch₃)の

デレイタイムを、チャンネル4 (ch4) のデレイタイムを6Tとした場合にあっては、もしラッチ97にチャンネル2を指定するチャンネルデータ (CD) が供給されると、波形メモリ7には、原音と、この原音を2T時間デレイした音とを
5 表わすデジタル信号が記録されるようになり、同様にラッチ97に対してチャンネル3を指定するチャンネルデータ (CD) が供給されると、原音と3T時間デレイした音とを表現するデジタル信号が、またチャンネル4を指定するチャンネル
10 データ (CD) が供給されると、原音と6T時間デレイした音とを表現するデジタル信号が、波形メモリ7に記憶されることになる。

なお、上記説明では、4チャンネル全てを動作させて、4音同時生成を可能としたが、それよりも少ないチャンネルを選択的に動作させて、原音と1乃至複数のデレイがかり、且つビブラート
15 がかった音とを出力するようにしてもよい。

また、上記説明では、チャンネル2, 3, 4のチャンネル1に対するデレイ時間は、1T, 20 3T, 6Tとしたが、キーボード・表示部4にて夫々指定可能である。

以上のように、本実施例においては、複数の波形読出・書込チャンネルを用いて、波形メモリ7に波形信号を書込みながら、それを夫々所定時間
25 ずつデレイして読出し、そのうちの1つの波形信号を原音である波形信号と合成して波形メモリ7に記憶した後出力するようにしたから、フィードバックループを備えたデレイ効果を実現できる。

また、各波形読出・書込チャンネル毎に、VCF12a~12d, VCA13a~13dを用いて独立的に音色、音量を可変制御して発生する
ようにしたから、更に効果的な音響を得ることができる。

なお、上記実施例では、ゲート82を介して出力する原音信号を、その振幅レベルを変更することなくラッチ94にラッチさせ、加算器93に印
加するようにしたが、ゲート82とラッチ94の間に、例えば所定の増幅率を乗ずる乗算器あるいはレベルシフター等を設けて、フィードバックして得られる音の増幅率を原音より小にすると、残
40 響効果が得られ、フィードバックして得られる音の増幅率を原音と同程度にすれば、輪唱効果が得

られる。

また、上記実施例では、波形メモリ7から少なくとも2チャンネルで読出されたデジタル信号のうちのひとつのデジタル信号をフィードバックして、原音信号とデジタル合成するようにしたが、
5 複数のチャンネルを使用して得られる夫々デレイ時間が異なる複数のデジタル信号をフィードバックして、原音信号と合成し、波形メモリ7に書込むようにしてもよい。

また、上述した実施例にあっては、VCF12a~12d, VCA13a~13dによつて音色と音量とを可変制御するようにしたが、デジタル
10 フィルタや、デジタル乗算器等を用いて、音色、音量あるいはエンロープ等の可変制御を行うようにしてもよい。また、その他の処理を波形信号に施してもよい。

また、発音制御部8の回路構成としては、上記実施例のように時分割処理により複数の波形読出・書込チャンネルを構成するもののほか、別個
20 のハードウェアで、つまりチャンネル数分同じ回路構成のものを使用して、複数の波形読出・書込チャンネルを設けるものであつてもよい。

更に、複数のチャンネルのうち、特定のチャンネルを、波形メモリ7に波形信号を書込む書込専用
30 のチャンネルとし、そのほかのチャンネルを、波形メモリ7から波形信号を読出す読出専用のチャンネルとしてもよい。本発明での「波形読出・書込チャンネル」とは、読出しと書込みのいずれか一方のみを行うチャンネル、あるいは双方の動作を可能としたチャンネルのいずれをも意味するものである。

また、上記実施例は、サンプリング機能を有する電子楽器に本発明を適用したものであつたが、本発明は専用の回路構成をもつデジタルエフェクト
35 装置として実現することができることは勿論のことである。

〔発明の効果〕

この発明は、上述したように、簡単な回路構成にて、デジタルエフェクト装置を実現したため、
40 安価であり、しかも、供給手段から与えられる音響波形を表現するデジタル波形信号を波形メモリ手段に所定のレートで書き込むようにし、更に、波形メモリ手段から書き込みレートとは違うレートで変化するアドレス信号により読み出してフィ

13

ードバック手段でフィードバックして上記供給手段からのデジタル波形信号と合成して上記波形メモリ手段に再び与えて書込ませるようにしたので、入力デジタル波形信号とは異なる周波数をもつ、あるいは周波数変調が施されたデジタル波形信号がフィードバックして合成されることになり、音楽的に豊かな音楽が発生でき、従つて、音楽的に好ましく、多様な演奏形態をとることが可能であるという効果を奏する。

図面の簡単な説明

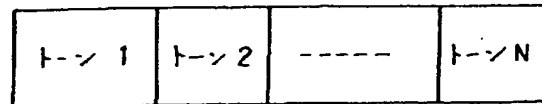
図面は本発明の一実施例を示し、第1図はその全体回路構成図、第2図は発音制御部8の詳細回路構成図、第3図は、波形メモリ7の分割使用状

14

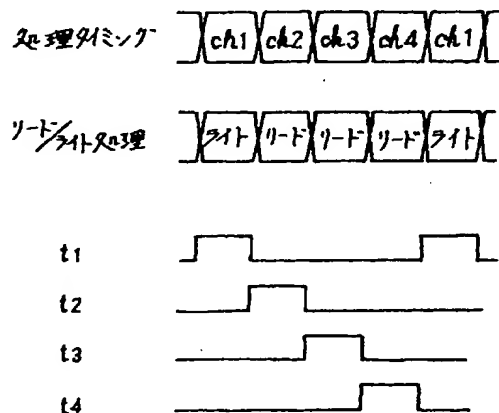
態図、第4図は本実施例の基本的動作の説明図、第5図は、デジタルエフェクト装置として動作させたときのタイムチャートを示す図、第6図は、第5図の動作状態を説明するための図である。

5 6……A/D変換器、7……波形メモリ、8……発音制御部、9……CPU、10……D/A変換器、12a～12d……VCF、13a～13d……VCA、81、82、85、87、90、91……ゲート、84……アドレスレジスタ、810 6……加算器、89……ビットレジスタ、93……加算器、94……ラッチ、95……4進カウンタ、96……比較器、97……ラッチ。

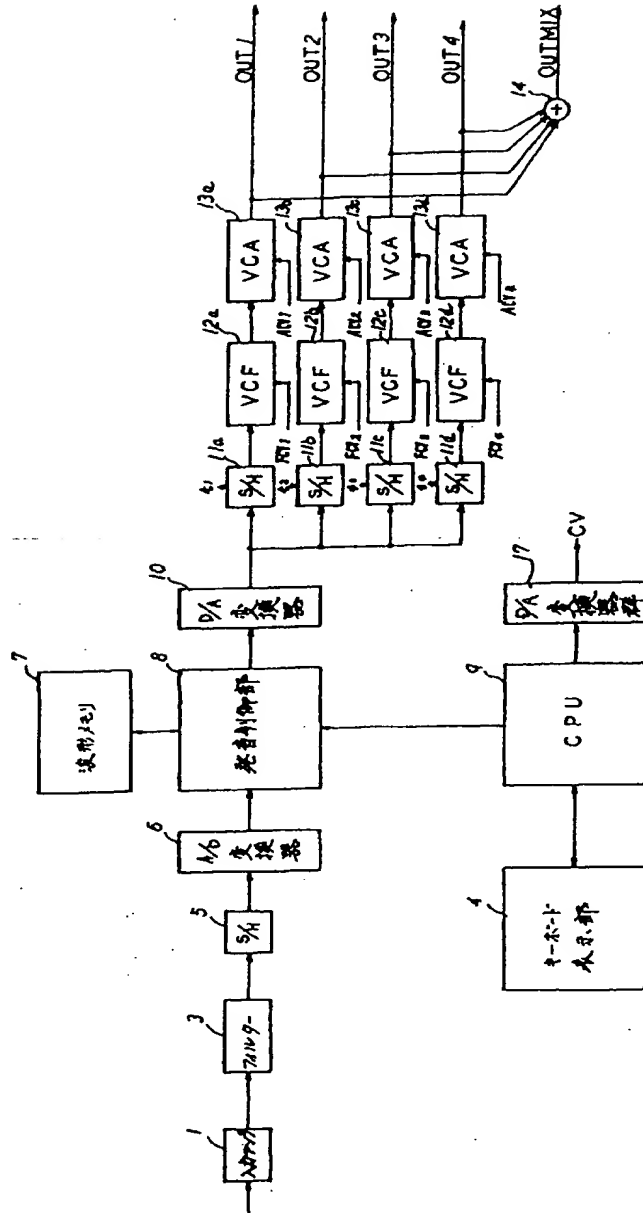
第3図



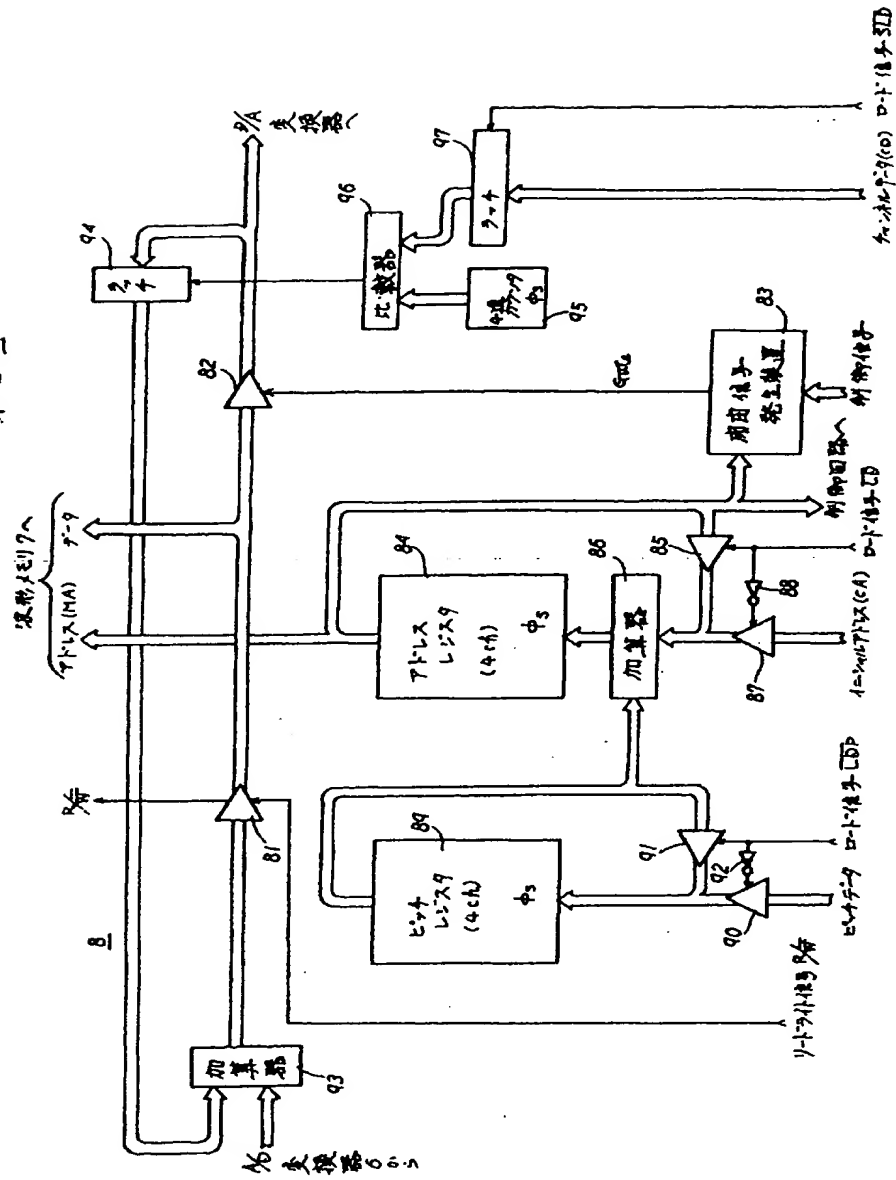
第4図



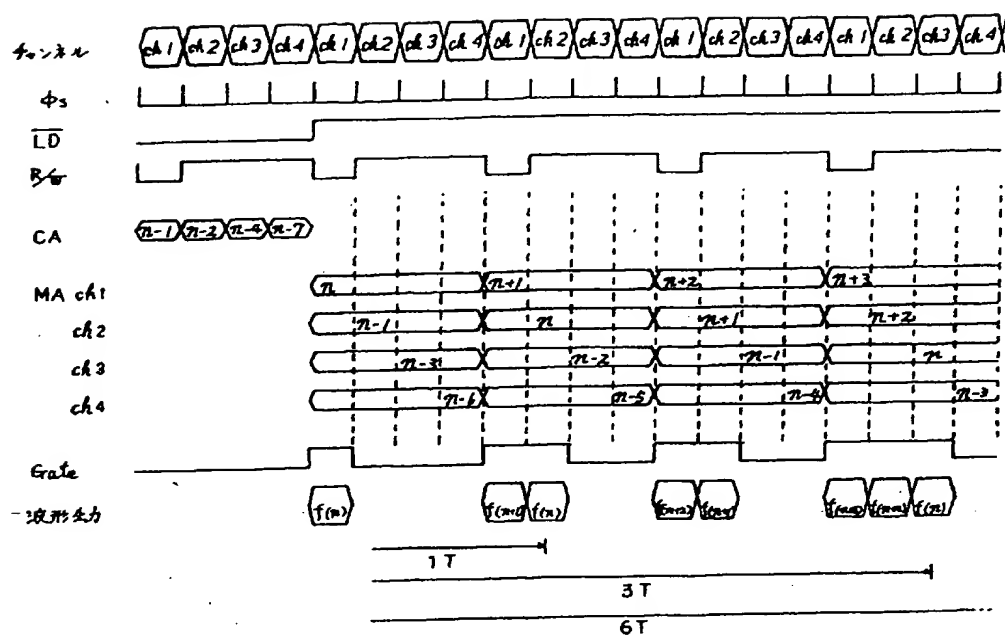
第 1 图



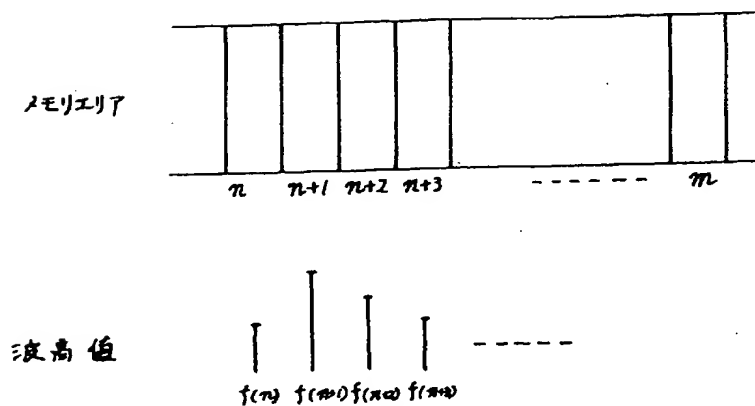
第 2 図



第 5 図



第 6 図



【公報種別】特許法（平成6年法律第116号による改正前。）第17条の3の規定による補正

【部門区分】第6部門第2区分

【発行日】平成9年（1997）9月24日

【公告番号】特公平4-68633

【公告日】平成4年（1992）11月2日

【年通号数】特許公報4-1716

【出願番号】特願昭60-207150

【特許番号】2093718

【国際特許分類第6版】

G10H	1/00	C 8622-5H
	1/10	A 8622-5H
G10K	15/04	302 E 9381-5H
G10L	3/02	C 9381-5H

【手続補正書】

1 「特許請求の範囲」の項を「1 音響波形を表現するデジタル波形信号を供給する供給手段と、

該供給手段から供給される上記デジタル波形信号を記憶する波形メモリ手段と、

該波形メモリ手段に対し、前記デジタル波形信号を第1のチャンネルにて発生され所定レートで変化するアドレス信号に従って書き込むとともに、上記波形メモリ手段から少なくとも第2及び第3のチャンネルにて発生され上記所定レートで変化するアドレス信号とは異なるレートで変化する少なくとも2つのアドレス信号に従って少なくとも2つのデジタル波形信号を読み出す書込読出手段と、

該書込読出手段により上記波形メモリ手段から読み出される上記少なくとも2つのデジタル波形信号の少なくとも1つを選択する選択手段と、

該選択手段により選択された少なくとも1つのデジタル波形信号をフィードバックして上記供給手段から供給される上記デジタル波形信号とデジタル合成して上記波形メモリ手段に与えて書き込ませるフィードバック手段と、

上記少なくとも第2及び第3の2つのチャンネルにて発生された少なくとも2つのアドレス信号に従って読み出された上記少なくとも2つのデジタル波形信号の特性を夫々独立に制御する特性制御手段と、

を具備したことを特徴とするデジタルエフェクト装置。

2 上記書込読出手段は、上記読み出しのための少なくとも2つのアドレス信号を時間とともに変化するレートをもつアドレス信号として発生するようにしたことを特徴とする特許請求の範囲第1項に記載のデジタルエフェクト装置。

3 上記書込読出手段は、上記書き込みを行うためのアドレス信号に対し指定されたディレイ時間に相当するアドレス幅の差をもって上記少なくとも2つの読み出しを行うためのアドレス信号の発生を開始するようにしたこ

とを特徴とする特許請求の範囲第2項記載のデジタルエフェクト装置。」と補正する。

2 第3欄32～40行「もので、供給手段から……したことを」を「もので、供給手段から与えられるデジタル波形信号を所定の書き込みレートで変化するアドレス信号で波形メモリ手段に書き込むとともに、この書き込みレートとは異なる読み出しレートで変化する少なくとも2つのアドレス信号により少なくとも2つのデジタル波形信号を読み出し（異なるチャンネルのアドレス信号により波形メモリ手段から読み出す）、この少なくとも2つのデジタル波形信号のうち少なくとも1つのデジタル波形信号を選択して該供給手段から与えられるデジタル波形信号と合成することにより、入力デジタル波形信号とは異なる周波数をもつ、あるいは周波数変調が施されたデジタル波形信号を自由に選択してフィードバックするようにし、さらに、該フィードバックするデジタル波形信号を含む少なくとも2つのデジタル波形信号の特性を夫々独立に制御するようにしたことを」と補正する。

3 第12欄40行～第13欄8行「であり、しかも……音楽的」を「であり、しかも供給手段から与えられるデジタル波形信号を所定の書き込みレートで変化するアドレス信号で波形メモリ手段に書き込むとともに、この書き込みレートとは異なる読み出しレートで変化する少なくとも2つのアドレス信号により少なくとも2つのデジタル波形信号を読み出し（異なるチャンネルのアドレス信号により波形メモリ手段から読み出す）、この少なくとも2つのデジタル波形信号のうち少なくとも1つのデジタル波形信号を選択して該供給手段から与えられるデジタル波形信号と合成することにより、入力デジタル波形信号とは異なる周波数をもつ、あるいは周波数変調が施されたデジタル波形信号を自由に選択してフィードバックするようにし、さらに、該フィードバックするデジタル波形信号を含む少なくとも2つのデジタル波形信

号の特性を夫々独立に制御するようにしたので、入力される原音に対して多様なエフェクトを付与でき、しかもフィードバックされるデジタル波形信号を自由に選択す

ることができるので、付与されるエフェクトの形態も自由に変更することができ、従って、音楽的」と補正する。